

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-174543

(43)Date of publication of application : 22.06.1992

51)Int.Cl. H01L 23/00

21)Application number : 02-232958

(71)Applicant : SEIKO EPSON CORP

22)Date of filing : 03.09.1990

(72)Inventor : TSUJI MASUO

30)Priority

Priority number : 02192716 Priority date : 20.07.1990 Priority country : JP

54) SEMICONDUCTOR DEVICE

57)Abstract:

PURPOSE: To prevent malfunction and breakdown of a semiconductor chip occurring by noise, by arranging a magnetic material layer above a metal wiring layer of a semiconductor device, via an electrically insulative layer.

CONSTITUTION: A metal wiring layer 1 is arranged on an electrically insulative layer 3, and the region except bonding pad parts 2 is covered with the other electrically insulative layer 4. A magnetic material layer 5 is arranged via the insulative layer 4 on the wiring layer 1, and electromagnetic shielding is performed by said magnetic material layer 5. Further an electrically insulative layer 7 for protection use is formed on the periphery and the upper part of the magnetic material layer 5. Thereby the effect that electromagnetic noise is prevented from travelling outward from the semiconductor chip surface is obtained. Since the magnetic material 5 absorbs the thermal expansion difference between mold material and silicon, the change of electric characteristics and the deterioration of reliability can be prevented.



LEGAL STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

Date of final disposal for application]

Patent number]

Date of registration]

Number of appeal against examiner's decision of
rejection]Date of requesting appeal against examiner's decision
of rejection]

Date of extinction of right]

⑫ 公開特許公報(A)

平4-174543

⑤Int.Cl.⁵

H 01 L 23/00

識別記号

B

庁内整理番号

7220-4M

⑬公開 平成4年(1992)6月22日

審査請求 未請求 請求項の数 5 (全4頁)

⑭発明の名称 半導体装置

⑮特 願 平2-232958

⑯出 願 平2(1990)9月3日

優先権主張 ⑰平2(1990)7月20日⑱日本(JP)⑲特願 平2-192716

⑳発 明 者 辻 満 壽 夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

㉑出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉒代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 能動素子間を接続する単層または複数の金属配線層を有する半導体装置において、該金属配線層の上方に電気的絶縁層を介し磁性体層を配置したことを特徴とする半導体装置。

(2) 請求項1記載の該金属配線層と異なる電気的導電層が請求項1記載の磁性体層と隣接して存在することを特徴とする半導体装置。

(3) 請求項2記載の電気的導電層が、該半導体装置の電源配線と接続されていることを特徴とする半導体装置。

(4) 請求項1記載の磁性体層が、該半導体装置の電源端子と独立した取り出し端子を有することを特徴とする半導体装置。

(5) 請求項2記載の電気的導電層が、該半導体装置の電源端子と独立した取り出し端子を有する

ことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は集積回路及び半導体装置に関する。

〔発明の概要〕

本発明は半導体チップ上に磁性体層を有することを特徴とし、従来に比較して電磁氣的シールド効果を提供するものである。

〔従来の技術〕

第7図に従来例としての半導体装置のチップ断面図を示す。金属配線層1は電気的絶縁層3上に配置されており、更に他の電気的絶縁層4により覆われている。8はポリシリコン等で構成されるゲート材、14は一般にローコスと呼ばれるシリコン酸化物、10はゲート酸化膜、12は不純物を含んだ拡散領域であり、11は電気的絶縁層3に穴あけをし金属配線層1と12の拡散領域を接続しているいわゆるコンタクト部である。また13はシリコン基板である。

第6図は第7図と同様に従来例としての半導体

装置のチップ断面図であるが、本発明に関連する部分のみに簡略化したものであり、3の電気的絶縁層より下はその他の領域31として示す。金属配線層1は電気的絶縁層3上に配置されており、ボンディングパッド部2以外は他の電気的絶縁層4により覆われている。更に半導体チップは図示していないが、一般的に実装時には通常モールド材により封止される。このモールド材は主としてエポキシ樹脂が使用される。

〔発明が解決しようとする課題〕

近年、半導体集積回路は高速化し内部信号波形の変化速度は1NS以下になってきている。従来は電磁的ノイズ防止策として、入出力端子または電源からの電流ノイズに対する対策のみで十分であったが、今後半導体チップ表面からの電磁的ノイズを外部にださないような対策が必要である。また近年の半導体の技術進歩は高速化だけでなく微弱な信号を扱うようになったため、半導体内部ノイズを外部に出さないようにするだけでなく、外部からのノイズにより半導体チップが誤動作を

しないように外部からの電磁氣的シールドの必要性が増大してきている。従来はこの電磁氣的シールドは半導体集積回路の外部に接続される入出力端子及び電源に施されてきている。ところが半導体表面からの外部ノイズを遮断するための電磁シールドはいままで十分な対応がとられていなかった。一部配線層と同一材料でシールドする方法が考えられるが、単に導体のみでは電界遮断効果はあるものの磁力線遮断効果は不十分であった。

これは従来の半導体チップを封止するモールド材の材料がエポキシ樹脂であるため、電磁氣的には絶縁体であり、電磁波を吸収せず透過させてしまう性質をもっているためである。これは外部からの電気的ノイズが半導体チップ内部に伝わることを意味し、また半導体チップ内部の電気的ノイズがモールドを透過して外部にでていくことを意味する。つまり従来のモールド材は電磁氣的シールド効果はなかった。また従来は半導体集積回路の静電気対策として外部に直接電気的に接続される入出力端子のみ対策をとればよかったが、半導

体集積回路の微細化に伴いゲート膜が薄くなるなど製造方法の変化、また使用条件の多様化により、モールド表面からの静電気による半導体集積回路の破壊がみられるようになり、半導体チップ表面にも何等かの電磁シールド対策が必要になってきている。そこで本発明の目的とするところは、半導体チップ表面での電磁氣的シールドを行なった半導体装置を提供することである。

〔課題を解決するための手段〕

能動素子及び金属配線層の上方に電気的絶縁層を介し磁性体層を配置し、半導体チップ表面での電磁氣的シールドを行なうことを特徴とする。

〔作用〕

本発明の方法により、磁性体が半導体チップの電磁氣的シールドを行なう。

〔実施例〕

第1図は、本発明の実施例である半導体装置のチップ断面図を示す。第4図の従来例と同様に金属配線層1は電気的絶縁層3上に配置されており、ボンディングパッド部2以外は他の電気的絶縁層

4により覆われている。金属配線層1の上方の電気的絶縁層4を介し磁性体層5を配置している。この磁性体層5により電磁的シールドをおこなう。

また本発明の方法での磁性体層は磁気モーメントがあるものであれば、いわゆる通常の磁性体でなくてもよく、波動性高分子素材とフェライトのような磁性体との組合せの応用も考えられる。実施例では磁性体層5の周辺及び上方に保護用として更に電気的絶縁層7をのせているが、この電気的絶縁層7はなくて直接封止用モールドをかぶせる方法も考えられる。従来例第6図と同様に3の電気的絶縁層より下はその他の領域31として示している。

また従来のモールド方法はモールド形成時の応力発生、またモールド材の熱膨張率が半導体チップを形成するシリコンと異なるため使用時の内部の熱発生または外部環境の温度変化、実装時の加温等での温度変化により、集積回路表面での力学的歪を発生し、金属配線層1を断線させたり、電気的特性の変化や信頼性を悪化させる原因となって

いたが、本発明の方法は磁性体層5がモールド材とシリコンの熱膨張差を吸収することにより、電気的特性の変化や信頼性を悪化させることを防止する効果も期待することができる。また内部動作による発熱に対しても熱伝導率及び熱輻射率を高め放熱を良くすることにより、電気的特性の変化や信頼性を悪化させない効果も期待できる。

第2図は本発明での別の実施例であり、第1図と比較して金属配線層1と異なる電気的導電層6を磁性体層5に隣接しておいた例である。この電気的導電層6の材料は他の配線層に使用する金属でもゲートに使用するポリシリコン等でよい。これは電磁シールドだけでなく、電界遮断効果も高めたものである。また電気的導電層6を磁性体層5の上下関係は逆でもよい。

第3図は更に本発明での別の実施例であり、金属配線層1と異なる電気的導電層6を磁性体層5に隣接しておき、この電気的導電層6をボンディングパッド部2に接続した例である。このボンディングパッド部2は該半導体装置の電源配線と接

続することにより、更に電磁シールド及び電界遮断効果も高めることが可能である。

また電気的導電層6と接続されたボンディングパッド部2は該半導体装置の電源端子と独立させ別の電位をあたえることも可能である。この場合外部ノイズと逆相の信号を与えることにより、内部に入り込むノイズを相殺するような応用使用例も可能である。

第4図は更に本発明での別の実施例であり、金属配線層1と異なる電気的導電層6を磁性体層5に隣接しておき、この電気的導電層6をボンディングパッド部2と同様に直接外部電極21よりとりだす場合の実施例である。

また電気的導電層6をボンディングパッド部2に接続せず外部に電極としてとりだす方法も考えられる。

第5図は更に本発明での別の実施例であり、磁性体層5の導電性がある場合、電気的導電層6を介さずに外部に直接電極22としてとりだす方法である。

電気的導電層6と磁性体層5の製造方法は、従来の半導体や磁気テープの製造方法のように塗布またはスパッタまたは蒸着の方法等で実現可能である。ここで電気的導電層6と磁性体層5の形状は面状だけでなくノイズの波長以下のメッシュまたは線状でも電磁気的効果を期待でき、また本発明の方法はチップの全面だけでなくノイズに敏感な能動素子の上だけでもよい。更にチップ周辺に配置した場合はモールド材とシリコンの熱膨張差の力学的歪による影響をも軽減させる効果も期待できる。

〔発明の効果〕

以上述べたように本発明によれば、磁性体が半導体チップ表面の電磁気的シールドを行なうことにより、半導体チップ表面からの電磁的ノイズを外部にださない効果を有し、また外部からのノイズにより半導体チップが誤動作及び破壊を防止する効果を有する。

4. 図面の簡単な説明

第1図は、本発明の実施例である半導体装置のチップ断面図。

第2図は、本発明での別の実施例である半導体装置のチップ断面図。

第3図は本発明での更に別の実施例である半導体装置のチップ断面図。

第4図は、本発明での更に別の実施例である半導体装置のチップ断面図。

第5図は本発明での更に別の実施例である半導体装置のチップ断面図。

第6図は、従来例での第7図の半導体装置のチップ簡略断面図。

第7図は、従来例での半導体装置のチップ断面図。

1は金属配線層。

2はボンディングパッド部。

3は電気的絶縁層。

4は他の電気的絶縁層。

5 は磁性体層。

6 は金属配線層 1 と異なる電気的導電層。

7 は電気的絶縁層。

3 1 は 3 の電気的絶縁層より下のその他の領域

2 1 は電気的導電層 6 をボンディングパッド部 2

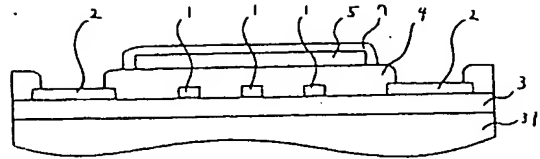
と同様の外部電極

2 2 は磁性体層 5 の導電性がある場合での電気的導電層 6 を介さない外部電極。

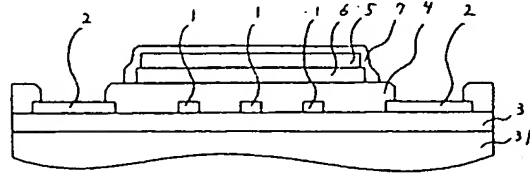
以上

出願人 セイコーエプソン株式会社

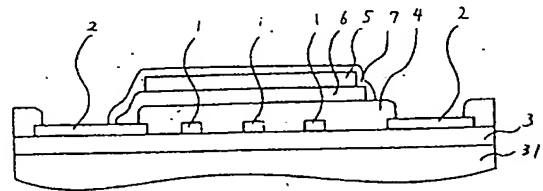
代理人 弁理士 鈴木喜三郎 (他 1 名)



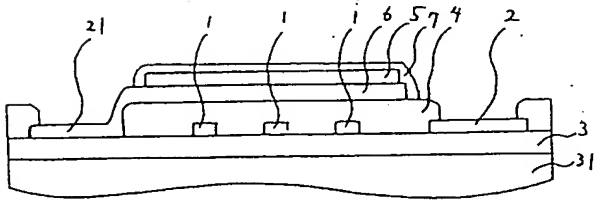
第 1 図



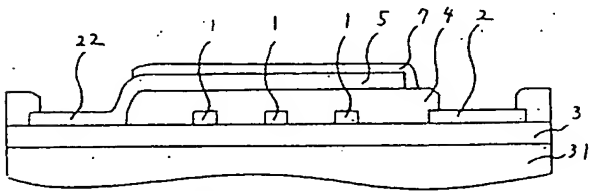
第 2 図



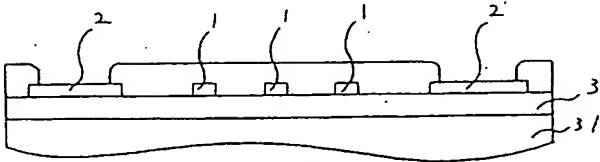
第 3 図



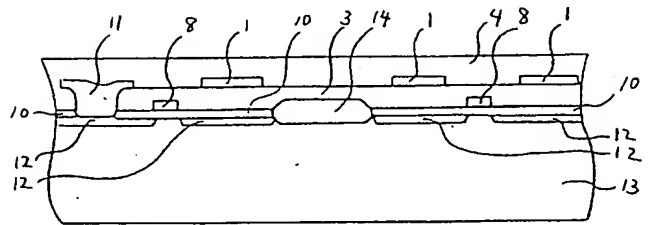
第 4 図



第 5 図



第 6 図



第 7 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.